GROUP, LLC
translate.com

340 Brannan St., 5th Floor
San Francisco, CA 94107
Tel: (415) 512-8800
Fax: (415) 512-8982

AL

TRANSLATION FROM JAPANESE

(19) JAPANESE PATENT OFFICE (JP)

(11) Unexamined Patent Application (Kokai) No. **60-15896**

(12) Unexamined Patent Gazette (A)

(51) Int. Cl.[4]:	Classification Symbols:	Internal Office Registration Nos.:
G 11 C 17/00		6549-5B

(43) Disclosure Date: January 26, 1985

Number of Inventions: 1

Request for Examination: Not yet submitted

(Total of 4 pages [in original])

---

(54) Title of the Invention:

HIGH-SPEED WRITING SYSTEM FOR MEMORY DEVICE

(21) Application No. 58-124461

(22) Filing Date: July 8, 1983

(72) Inventor: Misao Higuchi

(71) Applicant: Nippon Denki K.K.

(74) Agent: Susumu Uchihara, Patent Attorney

SPECIFICATION

1. Title of the Invention

HIGH-SPEED WRITING SYSTEM FOR MEMORY DEVICE

2. Claims

A high-speed write system for a memory device which is characterized by the fact that in a write system for a memory device that contains a plurality of memory cells, writing is performed for all memory cells with the writing time set at the minimum permissible value or at a value near said minimum value, after which memory cells in which writing has been completed and memory cells in which writing has not yet been completed are detected, and the aforementioned series of operations is performed again only for the memory cells in which writing has not yet been completed.

3. Detailed Description of the Invention

The present invention relates to a high-speed writing system for a memory device, and more specifically relates to a high-speed writing system for a memory device which is suitable for writing in erasable programmable read-only memories (referred to below as "EPROMs"), in which data can be erased by means of irradiation with ultraviolet light, etc.

In recent years, as the capacity of EPROMs has increased, an increase in data writing time has become a problem. In conventional EPROM writing methods, a system in which a pulse with a width of 50 ms is applied for each byte is standard. In the case of such methods, a writing time of approximately 7 minutes is required for the writing of a 64K EPROM (50 ms × 8 kbytes). Furthermore, in the case of a 128K EPROM, a time of more than 14 minutes (50 ms × 16 kbytes) is actually required. Here, since the erase time is approximately 15 to 20 minutes in the case of an EPROM in which data is erased by means of irradiation with ultraviolet light, a time of 30 minutes or more is required if erasing and writing are performed together. Furthermore, if the capacity is increased, the

time required will be increased even further, so that serious problems arise in terms of both time and economy.

It appears that the abovementioned writing pulse width of 50 ms per byte is determined from the standpoint of variation in the process and from the standpoint of reliability. However, it is not the case that all bits require the same time; a certain time in excess of the minimum required time is sufficient. Accordingly, there are also methods in which the writing time is shortened simply by narrowing the writing pulse width.

The present invention does not merely narrow the writing pulse width, but instead provides a high-speed writing method which shortens the writing time for an EPROM, and which is superior in terms of efficiency and reliability.

The present invention is a high-speed writing system in which the minimum writing pulse width is first set; this system is constructed from a master EPROM or a data memory that stores addresses and data to be written, a written EPROM into which writing is performed on the basis of the aforementioned master EPROM or data memory, a comparator circuit which compares the two memories, and which sets a flag in cases where there are bytes that do not agree between the respective data, a memory which stores only addresses consisting of bytes in which the data agrees, and a memory which stores only addresses consisting of bytes in which the data does not agree. Respective addresses that agree and that do not agree are detected by a comparison performed after one writing; additional writing is performed only in the case of addresses that agree, and rewriting is performed only in the case of addresses that do not agree. Then, only the previous addresses that did not agree are compared by the comparator circuit, and addresses consisting of bytes that agree and addresses consisting of bytes that do not agree are detected, and the respective addresses are written into memory. The abovementioned method is repeated a maximum number of times (here designated as N times), and in cases where the flag of the comparator circuit is not set during this period, additional writing is performed only in the case of the final agreeing addresses, and

writing is completed. In cases where the flag is set even after n times, the written EPROM is judged as having faulty writing.

In the present invention, the minimum writing time required for respective bytes in byte units is sufficient, and additional writing is performed with consideration given to reliability. If an average pulse width of 10 ms is sufficient for a 128K EPROM, then writing can be completed in approximately 3 minutes even if time for comparison is included. Furthermore, since only necessary writing is performed in byte units, high reliability is achieved. Moreover, in cases where the writing is faulty, the last address with disagreeing bytes can be used for fault analysis. Accordingly, it may be said that this system is a superior high-speed writing system.

Below, the present invention will be described in detail in terms of an embodiment. Figure 1 is a block diagram which illustrates one embodiment of the present invention. Figure 2 is one example of a flow chart, which is used to illustrate Figure 1. First, after starting, the final address of a master address memory circuit part (M) storing voltage conditions, master addresses and master data is set in a register as G. This is included in the control circuit of Figure 1, and corresponds to the initial setting in Figure 2. x in Figure 2 is an address counter; this is used to detect the final address. n is a repetition counter; the maximum writing time is determined by this counter. Here, the maximum number of repetitions is designated as N. Following the initial setting in Figure 2, the address counter x is set at "0", and the number of repetitions is set at "1". Next, prior to writing, a check is generally made in order to ascertain whether or not the product has been erased. In cases where the product has been erased, the data is ordinarily "1", and is "FF" in a hexa-type when 1 byte is 8 bits. This is checked for all addresses, and in cases where "DATA = FF" is not found, an instruction to erase is issued. Specifically, if erasing from x = 0 to x = G is confirmed for all addresses, x is again set at "0", and writing is begun. In this writing, one-time writing is first performed for all addresses from x = 0 to x = G on the basis of a writing time set at the minimum time in the initial setting. Next, the address counter x is again set at "0"; here, furthermore, the address counter y of the sub-address memory circuit (A) in Figure 1 that

sets addresses for which writing was completed, and the address counter z of the sub-address memory circuit (B) that sets addresses for which writing was incomplete, are set at "0", and the read-out of data is begun. In this data read-out, data is continuously read out from x = 0 to x = G, and in this process, addresses in which the write data and read-out data agree are set in the sub-address memory circuit (A). x and y are incrementally increased, and the next read-out is begun. Meanwhile, addresses in which the write data and read-out data do not agree are set in the sub-address memory circuit (B); x and y are incrementally increased, a flag is set, and the next read-out is begun. In the read-out of data, the data of the master data memory circuit 4 and the data of the written EPROM 9 are compared by the comparator circuit 5. In cases where the results of this comparison agree, a set signal is sent to the sub-address memory circuit (A) 7; in cases where the results do not agree, a set signal is sent to the sub-address memory circuit (B) 8 and the flag circuit. Here, in cases where read-out is completed for all of the addresses, only the sub-address circuit (A) is noted by the address switching circuit; x is set at "0", and the value of y at this point in time is set in G. Then, additional writing is performed only in the case of addresses with writing completed that are set in the sub-address memory circuit (A). Next, a check is made in order to ascertain whether or not the abovementioned flag has been set. If no flag has been set, this means that all of the writing has been completed. Accordingly, the processing is ended. However, in cases where a flag has been set, the number of times that writing has been performed is checked, and if this agrees with the maximum number of times of writing N, this means that the product has faulty writing; accordingly, the processing ends with a "faulty" display. Here, if n does not equal N, then only the sub-address memory circuit (B) is noted by the address switching circuit; x is set at "0", and the value of z at this point in time is set in G. In this way, rewriting is performed only for the addresses with incomplete writing that are set in the sub-address memory circuit (B). Then, a check is made by reading out the data in order to ascertain whether or not writing has been completed, and additional writing or rewriting is repeated.

Thus, in the present system, in the minimum writing time, additional writing is performed only in the case of written addresses, and additional writing [sic; error for

"rewriting"] is performed only in the case of unwritten addresses. Accordingly, writing can be completed in the required minimum time, and a sufficient written state can be achieved by performing additional writing. As a result, the system is superior in terms of reliability; furthermore, since addresses not written in each rewriting are stored in memory, these addresses can also be used for fault analysis and process analysis, etc. Furthermore, it goes without saying that use in one-bit units is also possible in fault analysis. Here. furthermore, a method was described in which only address were separated and stored; however, it would also be possible to use a method in which addresses and data are stored as integral units. Moreover, in Figures 1 and 2, an ultraviolet-erasable EPROM was described; however, the present invention could also be applied to other EPROMs such as EPROMs which can be written and erased electrically, etc.

4. **Brief Description of the Drawings**

Figure 1 is a block diagram which illustrates one embodiment of the present invention. Figure 2 is a flow chart which is used to illustrate Figure 1.

In the figures, 1 is a control circuit, 2 is a master address memory circuit (M), 3 is an address switching circuit, 4 is a master data memory circuit, 5 is a comparator circuit, 6 is a flag setting circuit, 7 is a sub-address memory circuit (A), 8 is a sub-address memory circuit (B), x, y and z are address counters, G is the final address location, n is the number of repetitions, N is the maximum number of repetitions, M is a master address, and A and B are sub-addresses.

Agent: Susumu Uchihara, Patent Attorney

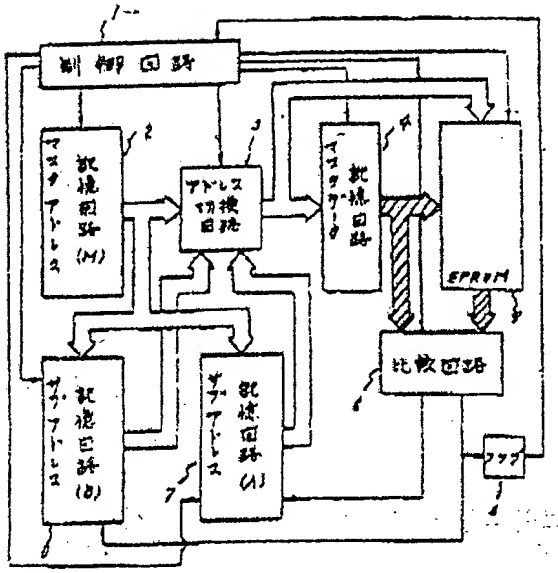
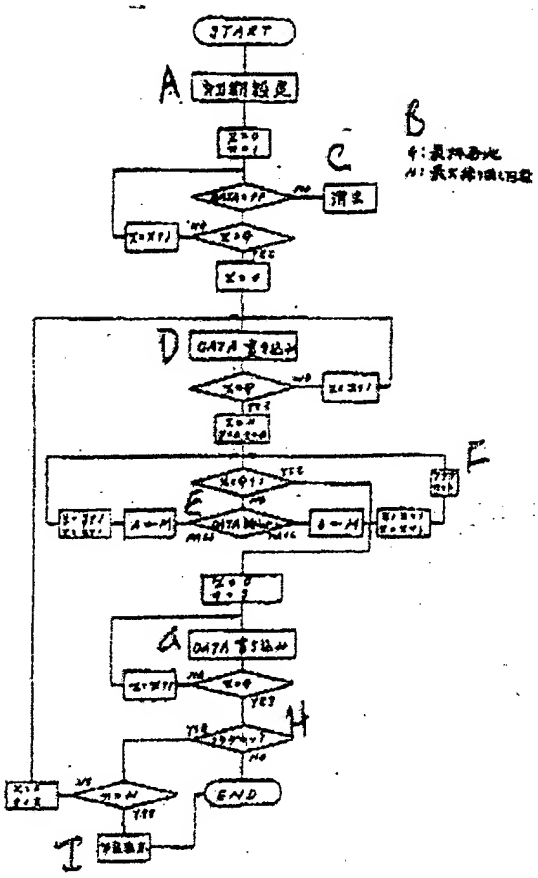


Figure 1

[Key: 1: Control circuit; 2: Master address memory circuit; 3: Address switching circuit; 4: Master data memory circuit; 5: Comparator circuit; 6: Flag; 7: Sub-address memory circuit (A); 8: Sub-address memory circuit (B).]

Figure 2



[Key: A: Initial setting; B: G: Final address; N: Maximum number of repetitions; C: Erase; D: Data writing; E: Data read-out; F: Flag set; G: Data writing; H: Flag set; I Fault display.]

⑲ 日本国特許庁 (JP)　　⑪ 特許出願公開

⑫ 公開特許公報 (A)　　昭60—15896

⑤1Int. Cl.⁴　識別記号　庁内整理番号
G 11 C 17/00　6549—5B

⑬公開　昭和60年(1985) 1月26日

発明の数　1
審査請求　未請求

(全 4 頁)

⑤4メモリ装置の高速書き込み方式

⑦1出 願 人　日本電気株式会社
東京都港区芝5丁目33番1号

⑦4代 理 人　弁理士　内原晋

東京都港区芝五丁目33番1号日本電気株式会社内

⑦2発 明 者　樋口三左男

⑳特　願　昭58—124461
㉒出　願　昭58(1983) 7月8日

明　細　書

1. 発明の名称

メモリ装置の高速書き込み方式

2. 特許請求の範囲

複数のメモリセルを含むメモリ装置の書き込み方式において、書き込み時間を許容される最小値もしくは該最小値に近い値に設定して全メモリセルについて書き込み後書き込み完了メモリセルと書き込み未了メモリセルとを検出し、前記書き込み未了メモリセルのみに対して前記一連の動作を再び行なうことを特徴とするメモリ装置の高速書き込み方式。

3. 発明の詳細な説明

本発明はメモリ装置の高速書き込み方式に係り、特に紫外線照射等の手段によりデータ消去を行なうことのできる消去可能プログラム可能読み出し専用メモリ（以下EPROMという）の書き込みに好適なメモリ装置の高速書き込み方式に関する。

近年、EPROMの大容量化にともない、データの書き込み時間の増大が問題となってきた。従来EPROMの書き込み方法は1バイト当たり50ms幅のパルスを加える方式が標準になっている。この方法で64ᴷ EPROMの書き込みを行なった場合7分（50ms×8ᴷバイト）程度の時間を要し、更に128ᴷ EPROMに至っては実に14分(50ms×16ᴷ)あまりの時間を要する。ここで紫外線照射によりデータ消去を行なうEPROMにおいてはその消去時間が15～20分程度であるため、消去と書き込みを会わせて行なうと30分以上もの時間が必要ということになり、更に大容量化した場合には増々その時間が増大し、時間的にも経済的にも大きな問題となってくる。

ところで、1バイト当り50msという書き込みパルス幅はプロセス等バラツキを考慮して更には信頼性の面から決定されているものと思われるが、全ビットが同一時間必要というものでは無く、必要最小時間にプラスした程度の時間で十分であ

る。そこで、ただ単に書き込みパルス幅を狭めるだけで書き込み時間の短縮を計る方法もある。

本発明は単に書き込みパルス幅を狭めるのみでなくより効率的に尚かつ信頼性的に優れたEPROMの書き込み時間の短縮を計った高速書き込み方式を提供するものである。

本発明はまず最小書き込みパルス幅を設定し、マスタEPROMあるいは書き込むべきアドレス、データを記憶しているデータメモリとマスタEPROMあるいはデータメモリを基に書き込みが行なわれる被書き込みEPROMとその両者の比較を行ないそれらデータ間で一致しないバイトがある場合にはフラグをセットする比較回路とデータが一致したバイトのアドレスのみを記憶するメモリとデータが一致しないバイトのアドレスのみを記憶するメモリにより構成され、一回の書き込み後の比較によって一致、不一致のそれぞれのアドレスを検出し、一致したアドレスのみ追加書き込みを行ない、不一致のアドレスのみ再書き込みし比較回路により先の不一致のアドレスのみ比較し、一致するバイトのアドレス、不一致であるバイトのアドレスを検出し、それぞれのアドレスをメモリに書き込み上記方法を最大回数（ここではN回とする）繰り返し、その間比較回路のフラグのセットがない場合に最後の一致アドレスのみの追加書き込みを行ない書き込み完了となり、n回後もフラグがセットされている場合には被書き込みEPROMを書き込み不良品と判定する高速書き込み方式である。

本発明によれば、バイト単位で各バイト必要最小限の書き込み時間でよく、信頼性面の考慮から追加書き込みを行なっており、128K EPROMで平均10msのパルス幅で済むものであれば、比較の為の時間を入れても3分程度で完了し更にバイト単位に各々必要なだけ書き込みを行なう為、高信頼性であり、また、もし書き込み不良となった場合には最後の不一致バイトのアドレスが不良解析にも使えるため、優れた高速書き込み方式といえる。

以下本発明を実施例により詳細に説明する。第1図は本発明の一実施例を示すブロック図である。第2図は第1図を説明するための流れ図の一例である。まず、スタート後に電圧条件、マスタアドレス、マスタデータの記憶マスタアドレス記憶回路部(M)の最終番地をGなるレジスタにセットする。これは第1図の制御回路に含まれるものであり、第2図の初期設定に当る。第2図のxはアドレスカウンタであり、最終番地の検出の為に用いる。nは繰り返し回数のカウンタでこれにより最大書き込み時間が決定される。ここでは、最大繰り返し回数をNとする。第2図の初期設定に続いてアドレスカウンタxを"0"にセットし、書込み繰り返し回数nを"1"にセットする。次に一般的に書き込みに入る前にその製品が消去されているか否か確認する。消去されている場合のデータは普通"1"であり、1バイトが8ビットの場合ヘキサタイプで"FF"になっている。これを全アドレスについて確認し、"DATA＝FF"になっていない場合に消去するように指示される。ここで全アドレスについて、すなわち、x＝0からx＝Gに至るまで消去が確認されたなら、再びxを"0"にセットし書き込みに入る。書き込みは初期設定に最小時間にセットされた書き込み時間に基づいてまずx＝0からx＝Gになるまで全アドレスについて1回の書き込みを行なう。次に再びアドレスカウンタxを"0"にセットし、ここでは更に書き込みが出来たアドレスをセットする第1図のサブアドレス記憶回路(A)のアドレスカウンタyと書き込みが不完全であったアドレスをセットするサブアドレス記憶回路(B)のアドレスカウンタzを"0"にセットし、データの読み出しに入る。データの読み出しはx＝0からx＝Gまで連続して読み出され、その過程において書き込みデータと読み出しデータが一致したアドレスはサブアドレス記憶回路(A)にセットされ、xおよびyはインクリメントされ次の読み出しに入る。一方、書き込みデータと読み出しデータが一致しなかったアドレスはサブアドレス記憶回路(B)にセットされ、xおよびzがインクリメントされ、更にフラグをセットし次の読み出しに入る。データの読み出しにおいては、

第1図において4のマスタデータ記憶回路のデータと9の被書き込みEPROMのデータとを5の比較回路において比較し、比較の結果一致した場合には7のサブアドレス記憶回路(A)にセット信号を送り、一致しなかった場合には8のサブアドレス記憶回路(B)とフラグ回路にセット信号を送る。ここで全アドレスについて読み出しが完了した場合には、アドレス切換回路によりサブアドレス記憶回路(A)のみに注目し、xは"0"にセットし、Gはこの時点でのyの値をセットする。そして、サブアドレス記憶回路(A)にセットされている書き込み完了アドレスのみ追加書き込みを行なう。次にフラグがセットされているか否か確認し、セットされていなければ書き込みが全て完了したことを意味し、終了する。しかし、フラグがセットされている場合には書き込み回数の確認をし、これが最大書き込み回数Nに一致したなら書き込み不良の製品であることを意味し、不良表示で終了する。ここでn≠Nであったなら、アドレス切換回路によりサブアドレス記憶回路(B)に注目し、xは"0"にセットし、Gにその時点でのzの値をセットする。こうして再びサブアドレス記憶回路(B)にセットされている書き込み不完全なアドレスのみ再書き込みを行ない読み出しにより書き込み完了か否か確認し、追加書き込み、また、再書き込みを繰り返す。

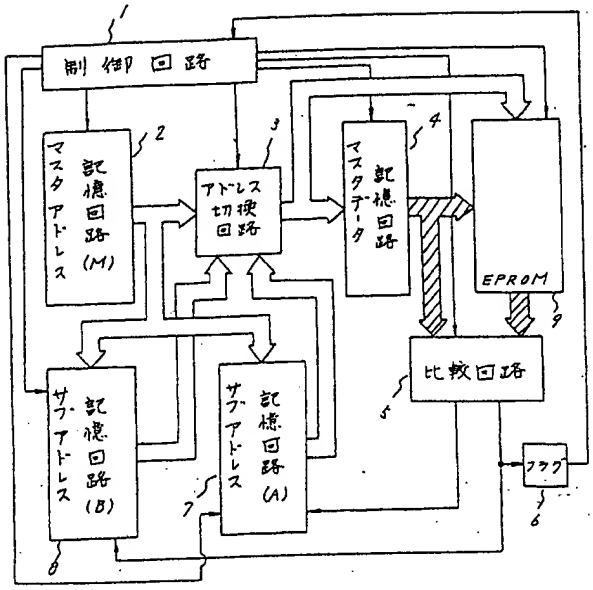
以上のごとく、本方式では最小書き込み時間で書き込めたアドレスのみ追加書き込みし、書き込めなかったアドレスのみ追加書き込みを行なう為、必要最小限の時間で書き込みを完了し、更に追加書き込みを行なうことにより、十分な書き込み状態にする為信頼性的にも優れ、また1回ごとの再書き込みにおいて書き込めなかったアドレスを記憶している為、不良解析、プロセス解析等に利用出来るという利点もある。また、不良解析においては1ビット単位にも使えることはいうまでもない。更に、ここでは、第1図のごとく、アドレスのみ分離して記憶する方法で説明したが、アドレス・データを一体にして記憶する方法でもよい。また、第1図、第2図は紫外線消去型EPROMについて説明したが、電気的に書き込み・消去可能なEPROM等他のEPROMについても適用できる。

4. 図面の簡単な説明

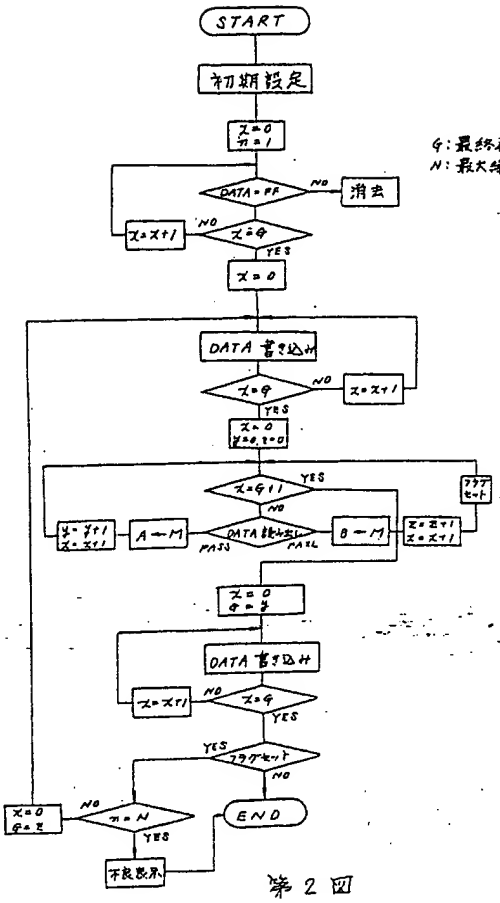
第1図は本発明の一実施例を示すブロック図、第2図は第1図を説明するため流れ図である。

なお図において、1……制御回路、2……マスタアドレス記憶回路(M)、3……アドレス切換回路、4……マスタデータ記憶回路、5……比較回路、6……フラグ設定回路、7……サブアドレス記憶回路(A)、8……サブアドレス記憶回路(B)、x, y, z……アドレスカウンタ、G……最終アドレス番地、n……繰り返し回数、N……最大繰り返し回数、M……マスタアドレス、A, B……サブアドレス、である。

代理人 弁理士 内原 晋


制御回路
マスタアドレス記憶回路(M)
アドレス切換回路
マスタデータ記憶回路
EPROM
サブアドレス記憶回路(B)
サブアドレス記憶回路(A)
比較回路
フラグ
1
2
3
4
5
6
7
8
9

第1図


START
初期設定
DATA=FF
NO
消去
YES
DATA 書込H
A→M
B→M
フラグセット
不良表示
END
NO
YES

第2図